

Високопродуктивний синхронізований матричний процесор множення АЛП суперкомп'ютерів

Ярослав Николайчук¹, Володимир Грига², Олег Заставний³

¹ д. т. н., професор, Західноукраїнський національний університет, вул. Львівська, 11, 46009, Тернопіль, e-mail: ya.nykolaichuk@wunu.edu.ua

² к. т. н., доцент, Прикарпатський національний університет імені Василя Стефаника, вул. Шевченка, 57, 76018, Івано-Франківськ, e-mail: v.dr_2000@ukr.net

³ к.т.н., старший викладач, Західноукраїнський національний університет, вул. Львівська, 11, 46009, Тернопіль, e-mail: o.zastavnyi@wunu.edu.ua

Викладені сфери застосування та пріоритетні напрямки удосконалення високопродуктивних багаторозрядних матричних перемножувачів (БМП) у якості компонентів співпроцесорів АЛП багатоядерних суперкомп'ютерів. Систематизовані характеристики швидкодії та апаратної складності відомих матричних перемножувачів. Обґрунтована перспектива удосконалення структур перемножувачів на основі синхронізованих однорозрядних накопичуючих двійкових суматорів (СНДС). Запропонований алгоритм та структура БМП на основі мультиплексно-комутованих СНДС. Досліджені системні характеристики такого класу перемножувачів залежно від розрядності вхідних двійкових кодів.

Ключові слова: АЛП суперкомп'ютерів, співпроцесори, синхронізовані суматори, перемножувачі, бінарно-двійкова арифметика.

Вступ. Основними швидкодіючими компонентами суперкомп'ютерів є процесори оснащені багаторозрядними високопродуктивними модулями АЛП. До класу таких процесорів відносять АЛП векторних та скалярних суперкомп'ютерів фірм: Cray, Fujitsu, Hitachi, IBM, HP [1].

Високопродуктивні співпроцесори у якості компонентів АЛП широко застосовуються при реалізації алгоритмічно-складних обчислень статистичного, кореляційного, спектрального, кластерного та ентропійного аналізу, а також в обладнанні військового призначення.

1. Пріоритетні напрями удосконалення досліджуваного класу співпроцесорів

Пріоритетним напрямком удосконалення таких співпроцесорів є досягнення максимально-можливої швидкодії обчислень [2].

Виключно-масове застосування у сучасних комп'ютерних системах та суперпроцесорах класичної двійкової арифметики, яка містить наскрізні переноси між розрядами, є особливо негативним фактором можливостей підвищення швидкодії багаторозрядних обчислювальних засобів. Наприклад, при здійсненні операцій додавання та множення двох n -розрядних монодвійкових

кодів (МДК) відбувається затримка сигналів в обчислювальній пристрої, відповідно на n та $2n+(2n-1)$ мікротактів. Тобто, при розрядності регістрів пам'яті АЛП ядер суперкомп'ютерів у діапазоні (128 - 2048) біт, затримка сигналів при виконанні операції додавання у класичних багаторозрядних двійкових суматорах (БДС) [3] з прямими інформаційними вхідно-виходами, відповідно складає – (256 - 4096) мікротактів, що суттєво знижує швидкодію АЛП суперкомп'ютерів.

У відомих структурах однорозрядних суматорів [3], затримка наскрізних переносів (C_{out}) становить - 2 мікротакти, а формування біта суми (S_i) - 6 мікротактів.

З метою удосконалення та підвищення швидкодії такого класу БДС нами запропонована структура на основі інверсних вхідно-виходів однорозрядних суматорів з парафазними (кубітними) інформаційними входами [4], яка представлена на рис. 1.

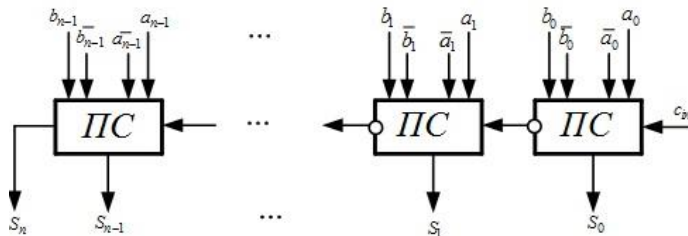


Рис. 1. Запропонована структура n -розрядного БДС на основі інверсних вхідно-виходів.

Дана n -розрядна структура БДС дозволяє здійснити операцію додавання двох n -розрядних двійкових чисел за n мікротактів, тобто із затримкою наскрізних переносів – 1 мікротакт, що підвищує швидкодію суматора у порівнянні з відомим у 2 рази.

На рис. 2 а,б,в представлені однорозрядні компоненти перемножувачів Брауна [5], Дадда з однофазними вхідно/виходами [6] та запропонована нами структура з парафазними вхідно-виходами [7].

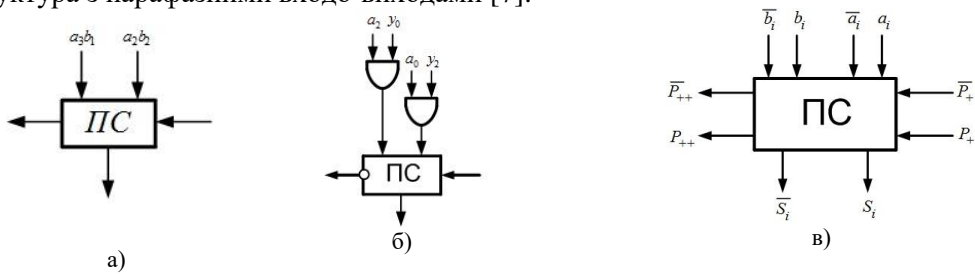


Рис. 2. Однорозрядні компоненти матричних перемножувачів: Брауна (а); Дадда (б); запропонований з парафазними вхідно-виходами (в).

Максимальна швидкодія такого класу перемножувачів на основі запропонованих однорозрядних суматорів з парафазними (кубітними) вхідно-виходами (рис. 3в) [8], які мають затримки сигналів формування суми та наскрізних переносів 1 мікротакт відповідає критерію мінімально-можливої часової складності такого класу перемножувачів.

Принциповим недоліком таких перемножувачів є наявність наскрізних переносів між компонентами їх структур.

2. Математичні основи бінарно-двійкової арифметики

В основу побудови високопродуктивних багаторозрядних синхронізованих матричних перемножувачів покладені математичні положення теорії бінарної арифметики.

Згідно положень бінарно-двійкової арифметики, запропонованої професором Я.М. Николайчуком [8], кожне n -розрядне двійкове число, яке представлено двійковим монокодом (МДК), представляється $2n$ -розрядним бінарним двійковим кодом (БДК), який містить у кожному розряді біт наскрізного переносу (\dot{C}_i) та біт суми (\dot{S}_i).

Приклад такого бінарного двійкового коду (БДК) має вигляд:

$$\dot{d}_n = \dot{C}_{n-1} \dot{S}_{n-1}, \dots, \dot{C}_i \dot{S}_i, \dots, \dot{C}_0 \dot{S}_0, \quad (1)$$

де \dot{d}_n – $2n$ -розрядне бінарно-двійкове число.

Запропонований принцип кодування двійкових чисел з реєстрацією бітів наскрізних переносів (\dot{C}_i) та бітів суми (\dot{S}_i) у кожному розряді БДК дозволяє виключити операції наскрізного переносу в алгоритмах обчислень сум та добутків незалежно від розрядності вхідних двійкових кодів.

Операція додавання двох двійкових чисел згідно бінарної арифметики здійснюється наступним чином. Нехай, маємо: $x+y = \dot{d}_n$, де x, y – n -розрядні двійкові числа, які після додавання утворюють $2n$ -розрядний БДК, згідно виразу:

$$\begin{array}{r} x = (a_{n-1}, \dots, a_i, \dots, a_1, a_0) \\ +y = (b_{n-1}, \dots, b_i, \dots, b_1, b_0) \\ \hline \dot{d} = (\dot{C}_n < \dot{S}_{n-1}, \dots, \dot{C}_{i+1} < \dot{S}_i, \dots, \dot{C}_2 < \dot{S}_1, \dots, \dot{C}_1 < \dot{S}_0) \end{array} \quad (2)$$

де x, y – двійкові коди цілих чисел: $a_i \in \overline{0,1}$; $b_i \in \overline{0,1}$; $\dot{C}_i \in \overline{0,1}$; $\dot{S}_i \in \overline{0,1}$; $\dot{d}_{i+1} \in \overline{0,2}$.

3. Структура високопродуктивного синхронізованого матричного процесора множення, який реалізує обчислювальні операції згідно бінарно-двійкової арифметики

На рис. 3 представлена мікроелектронна структура (а) та її однорозрядний компонент (б) формування $2n$ -розрядного БДК шляхом додавання двох n -розрядних МДК. На основі запропонованих однорозрядних синхронізованих суматорів [9] розроблена архітектура синхронізованого матричного перемножувача, 16 -розрядна структура якого показана на рис.3 (в).

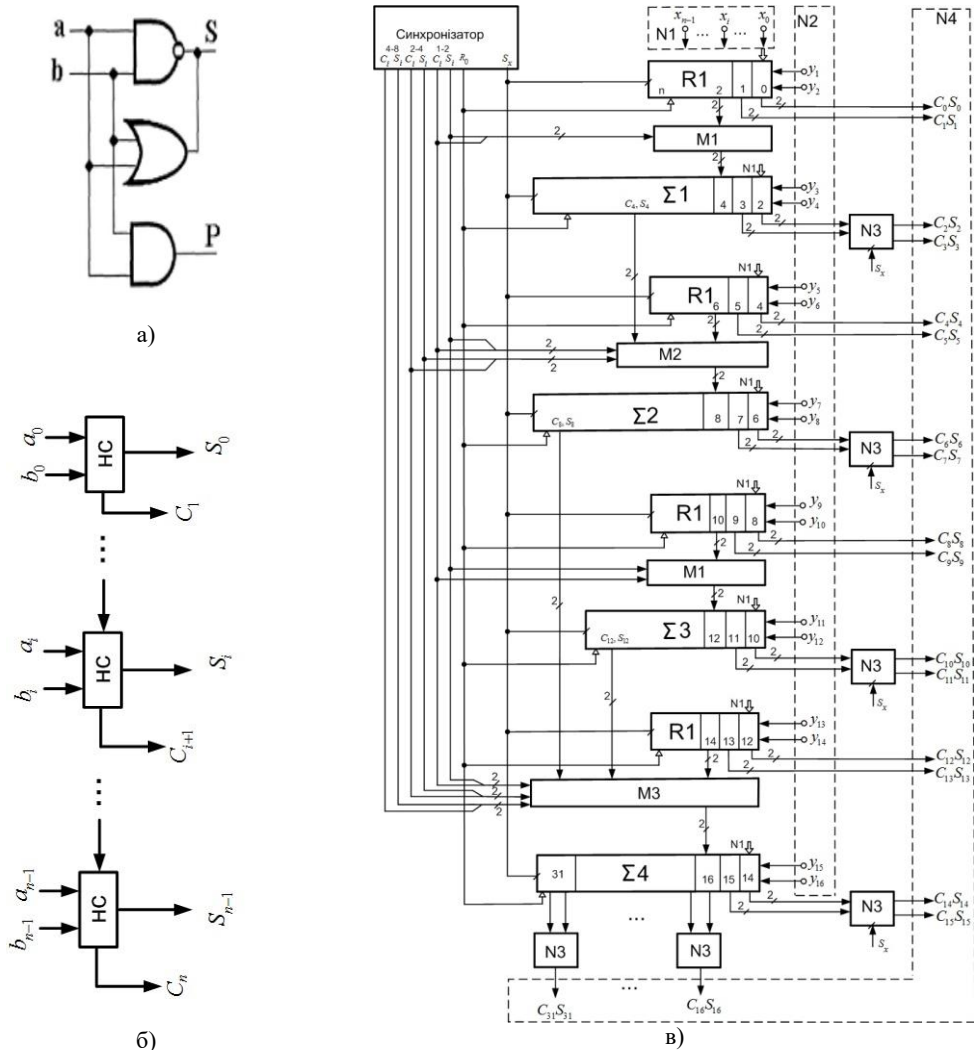


Рис. 3. Структури мікроелектронного компонента НС (а); 2n-розрядного БДК (б); архітектура синхронізованого 16-розрядного матричного перемножувача (в).

Розроблений алгоритм перемноження на основі бінарно-двійкової арифметики включає операції: скидання всіх тригерів пристрою у '0'-стан' формування кодів Бута у непарних суматорах та послідовне додавання кодів БДК між (1-2, 2-4, ..., $\log_2(n-1)$) суматорами з часовою затримкою $3 \cdot 5 = 15$ - мікротактів.

Наприклад, при розрядності перемножуваних чисел 1024 біт формування вихідного коду результату множення запропонованою структурою здійснюється за $2+2+(15 \cdot 9) = 139$ мікротактів, що у 30 разів перевищує швидкодію перемножувачів на основі відомих класичних матричних структурах.

Висновки. Викладений аналіз системних характеристик відомих структур несинхронізованих матричних перемножувачів, які містять у якості компонентів несинхронізовані однорозрядні комбінаційні суматори, принципово обмежує їх швидкодію в залежності від розрядності вхідних двійкових кодів із затримкою сигналів $n+(n-1)$ мікротактів. Запропонована структура високопродуктивного синхронізованого матричного процесора множення, який реалізує алгоритм обчислення згідно бінарної двійкової арифметики, дозволяє збільшити швидкодію такого класу співпроцесорів АЛП суперкомп'ютерів з розрядністю (1024-4096 біт) у 30-90 разів.

Література

- [1] IBM official website. Access mode: <https://www.ibm.com>
- [2] Ivan V. Sergienko, Valery K. Zadiraka, Oleg M. Lytvyn. "Elements of the General Theory of Optimal Algorithms", Springer Optimization and Applications, Springer, 2021, - 377 p.
- [3] Електронний ресурс: <http://phg.su/basis2/X134.HTM>
- [4] *Y. Nykolaychuk, V. Hryha, N. Vozna, A. Voronych, A. Segin, P. Humennyi* High-performance coprocessors for arithmetic and logic operations of multi-bit cores for vector and scalar supercomputers // Advanced Computer Information Technologies. 12th International Conference. ACIT 2022. – Spišská Kapitula, Slovakia, September 2022. – P. 410-414.
- [5] *Возна Н.Я., Николайчук Я.М., Давлетова А.Я.* Методи удосконалення структур багаторозрядних перемножувальних пристроїв матричного типу. Фізико-математичне моделювання та інформаційні технології, (32), 2021, 80-85
- [6] *Возна Н.Я., Грига В.М., Николайчук Я.М.* Патент на винахід № 123924. Матричний перемножувач, Бюл. №25, 2021.
- [7] *Давлетова А.Я., Грига В.М., Николайчук Я.М.* Патент на винахід № 132520. Матричний перемножувач, Бюл. №4, 2019.
- [8] *Николайчук Я.М.* Основи теорії, методології та схемотехніки бінарної арифметики багаторозрядних суперкомп'ютерів // Матеріали проблемно-наукової міжгалузевої конференції "Інформаційні проблеми комп'ютерних систем, юриспруденції, енергетики, моделювання та управління", ISCM-2022 – Надвірна, 2022. – С. 11-27.
- [9] *Пітух І.Р., Грига В.М., Николайчук Л.М., Грига Л.П.* Патент на корисну модель № 146833. Повний однорозрядний синхронізований суматор, Бюл. №12, 2021

High-performance synchronized matrix ALU multiplication processor for supercomputers

Yaroslav Nykolaychuk, Volodymyr Hryha, Oleh Zastavnyi

The scope of application and priority directions of improvement of high-performance multibit matrix multipliers (MMM) as components of ALU coprocessors of multicore supercomputers are outlined. The characteristics of performance and hardware complexity of known matrix multipliers are systematized. The prospect of improving the structures of multipliers based on synchronized single-bit accumulative binary adders (SABA) is substantiated. The algorithm and structure of the MMM based on multiplex-switched SABAs are proposed. The system characteristics of this class of multipliers are investigated depending on the bit depth of the input binary codes.

Отримано 30.03.23